

EasylogicECO

—— 基于 RTL 修改而完成的自动化 ECO 设计流程，针对补丁大小和周转时间进行最佳优化

EasylogicECO Datasheet DS-ECO-01

EasylogicECO 使用创新的 Functional ECO 算法，可有效地完成 ECO 任务，减少项目周期的意外延迟。它基于用户的 RTL 更改对各个设计阶段已经完成的门级网表进行最小化修正，创建与更新后 RTL 逻辑功能一致的修正网表。

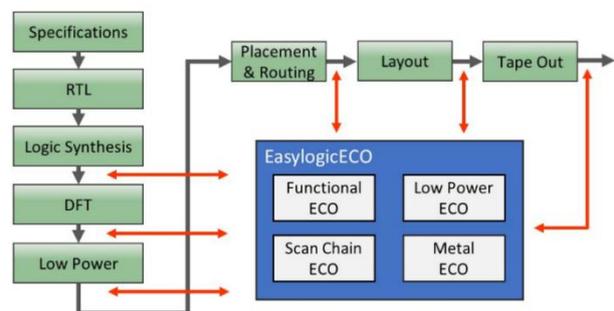
解决方案的优势：

- 基于 RTL 的修改推断门级网表的修改点，可以得到最小补丁逻辑。
- 适用于各种大小和复杂度的芯片设计，缩短 ECO 周期。
- 优化补丁时考虑对时序收敛的影响。
- 在 Functional ECO 的同时保持扫描链逻辑的完整性，也可以同时进行扫描链逻辑的更新。

Functional ECO(Engineering Change Order) 介绍

Functional ECO 是用于修改现有 ASIC 设计的增量式设计方法。一旦 RTL 代码被修改，ECO 流程将会修改原网表的一小部分，使得修改后的网表与修改后的 RTL 功能保持一致。由于 ECO 可以保留原网表大部分区域的电路特性，从而使得工程师无需重做，避免浪费大量时间。

近年来，随着 ASIC 设计的复杂性增加和项目周期的缩短，Functional ECO 需求变得越来越普遍。当需要进行 RTL 更改时，如果重新完成整个设计流程很可能导致项目延迟。Functional ECO 为 RTL 变更提供了一条捷径。在设计阶段后期，一次成功的 ECO 任务可能避免项目数个月的意外延迟。



EasylogicECO 工具集

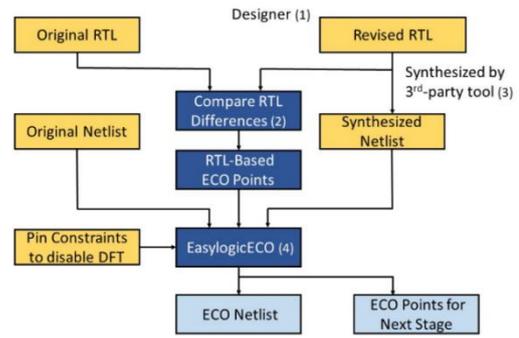
EasylogicECO 设计流程

用户现有的 ASIC 设计流程可以与 EasylogicECO 无缝集成，使 EasylogicECO 成为现有设计流程上的有效补

充。从准确分析 RTL 行为变化开始，使整个 ECO 流程更为细致与精确，避免用户直接在网表上进行修改。

EasylogicECO 流程有四个主要步骤：

1. 用户对 RTL 进行更改
2. 使用任何逻辑等价性检查工具识别 RTL 的功能变更
3. 对更改后的 RTL 进行逻辑综合生成参考网表
4. 在原始网表上进行 ECO 打补丁来创建一个新网表，并产生用于下游操作的设计约束



EasylogicECO 特点

使用突破性算法得到最佳 ECO 结果

使用已获专利的形式验证算法进行 ECO 流程，可以快速有效地完成 ECO 任务，获得最佳结果。

DFT 支持

Functional ECO 过程中自动保持扫描链的完整性。并且可以自动将新增的寄存器插入到扫描链中，或者将冗余的寄存器从扫描链中移除。在进行扫描链更新时，也会充分考量扫描链的物理性能等因素。

支持大模块更改

哪怕 Block 包含的逻辑单元数量巨大（例如包含几百万的逻辑单元），EasylogicECO 也可以快速定位出需修改逻辑在电路中的准确位置。无需担忧运行时间问题，也无需将大的 Block 被迫切分为小的 Block 分别进行 ECO。大大减少了用户的手工操作工作量。

支持先进的设计要求

在进行电路更改时，会确保遵循原始的设计规则。

技术支持

需要了解更多信息，请访问官网 <http://www.easylogic.com> 或者发送邮件至 info@easylogiceda.com。

版权声明和专有信息

奇捷科技(深圳)有限公司版权所有 ©2020-2023。Easylogic 产品名称是奇捷科技的商标。Easylogic 产品和所有相关文档均为奇捷科技所有。未经书面同意，严禁复制、修改或分发 Easylogic 产品或相关文档。

例如，ECO 流程中会考虑 DFT、时钟域中的影响，并进行必要的调整。在低功耗设计中，也会保持各个电压域的约束。

多种 Spare Resources 用于 Post-mask 任务

利用一切可用的物理资源完成 post-mask ECO 任务，提高 ECO 的成功率。资源选项包括备用单元 (spare instance)、可编程逻辑单元(GA, filler cell) 和网表中已经不再使用的冗余逻辑单元 (redundant instance)。

全部设计阶段均支持的 ECO 设计流程

支持对 ASIC 任何设计阶段 (SYN/DFT/P&R 等) 的网表进行 ECO 操作，可完美融入客户的原有设计流程。

命令行脚本操作

脚本操作简单、易于学习、使用和调试。与主流 ASIC 设计流程无缝集成，支持各种工艺节点。