

执行功能性 ECO 时的扫描链修复

EasylogicECO 应用说明

App-DFT-01

EasylogicECO 在 DFT 方面给使用者带来 3 大效益:

1. 自动上链,
2. 自动平衡扫描链的链长, 以及
3. 手工指定上下链方式,

因此显著缩短每一次功能性 ECO 所需要的时间。这篇应用说明简单介绍 EasylogicECO 如何处理需要新增或移除的 Scan DFF。

概述

一般而言, 在功能性 ECO 后若在扫描链上有新增或删除的 DFF, 则使用者必须以手工方式来达成上下链。如果新增或删除的 DFF 数量不多, 手工仍能达成工作。如果异动的 DFF 数量增多, 则需耗费大量时间去追踪相关的扫描链信息例如 scan clock source, 每一个链长, 扫描相关功能, compressor circuit 等。修复扫描链不仅是一项非生产性的工作, 而且是一项非常复杂的工作, 这些工作往往超越人力范围, 导致使用者只能放弃这些异动过的 DFF 之 DFT coverage, 甚至因此放弃 ECO。在 DFT 的修复方面, Easylogic 的解决方案可提供极大的协助。

EasylogicECO 的主要功能

在以下四方面 EasylogicECO 可产生极佳的使用效果,

1. 自动上下扫描链 (Scan Chain Stitching)
2. 自动的链长调整 (Scan Chain Balancing)
3. 附带的手工调整功能 (Optional Manual Stitching)
4. 手工排除被拼接进扫描链的寄存器。

以下进行详细说明。

(1) 自动上下扫描链 (Automatic Scan chain stitching)

自动上下链的功能帮助使用者以最短时间完成扫描链 ECO, 避免在繁琐的扫描链处理过程中产生人为错误。

依据使用者下的 Disable DFT 约束, EasylogicECO 内建的演算法先把逻辑功能与 DFT 功能区隔开来。再依据使用者宣告的 compressor tail input pin 来追踪相关的扫描链。若是有需要移除的 SDFF, 则会将此颗 SDFF 的 SDFF/Q 与 SDFF/SI 相连, 达到下链目的。相反的, 若有新增的 DFF 需要上链, 则会根据新增 DFF 的 parent module 中的扫描链状况, 例如 clock source 和 chain length, 来判断是否有合适位置可以把新增的 DFF 自动缝合上, 以达成自动上下链目的, 并且保证可以符合 DFT 之 DRC 要求。

以下图为例 (图 1), 如果 X、Z 连接到 compressor 电路, ECO 新增 DFF 的 clock source 是 CLKA_1 且在

module B 內，EasylogicECO 会把新增的 DFF 接在 P0 或是 P1 上。如果 P0 较接近整条链的中间点，则就会把 eco_T 连接在 P0 位置，否则连接在 P1。

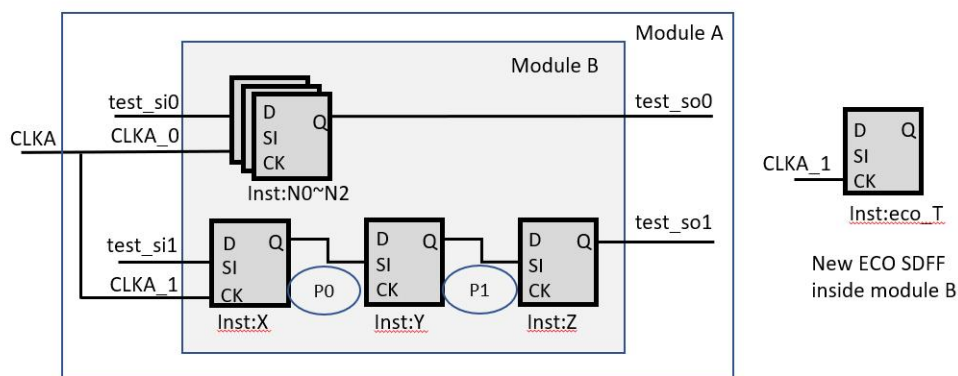


图 1: 自动将新增的 ECO SDF 拼接到 P0 或 P1

(2) 自动链长调整 (Automatic chain length balancing)

自动链长调整除了节省 ECO 的时间外，更能确定使用者的芯片测试成本不会因为做了 ECO 而增加。

如前段所提到，EasylogicECO 会依照使用者的相关设定自动追踪所有扫描链的长度，再依据新增 DFF 的 clock source 与 parent module 来判断如何连接新增的 ECO DFF 到既有的链上，并且确定扫描链的长度在要求的范围之内。使用者可以宣告 set_max_chain_length 来限制芯片所有扫描链的长度，这也会对 balancing 产生作用。若是无法满足上链的条件 (如 max chain length 或 same clock source 的要求) 则会判断 fail，并显示于 log file 中。

以下图为例 (图 2)，假设最长的链长是 100，而 ECO 新增 DFF 的 clock source 是 CLKC 且在 module B 內，eco_T 会被接在 test_si2 到 test_so2 的中间位置，也就是第 49 的位置。

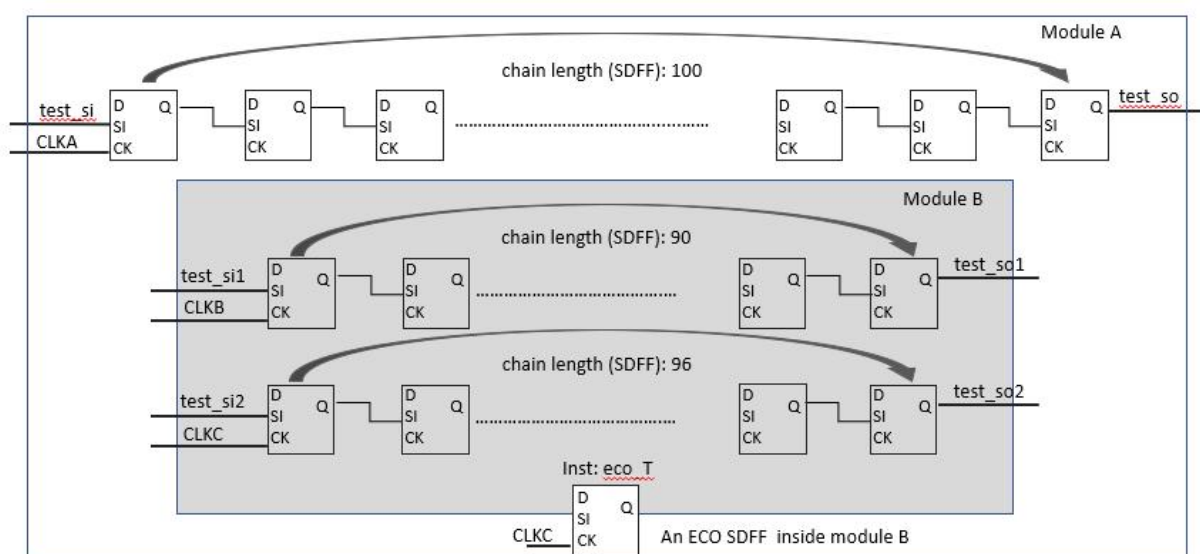


图 2: 自动平衡链长

同样的，在上下扫描链时，EasylogicECO 若无法达成使用者宣告的 maximum chain length 值，则会直接放弃并在 log 文档中显示，以下是 log 的例子 (图 3)。

```
# Add 0 FFs into scan chain
# Failed to add 1 FFs into scan chain
# ez_reg_0_ in module sub
```

图 3: 放弃自动平衡链长

(3) 附带的手工调整功能 (Optional Manual Stitching)

手动上下链是一个附加功能，赋予使用者在遵守公司特定的 DFT 设计规范上更大的 ECO 自由度。

使用者可以在 EasylogicECO 的环境里精准宣告 chain member 的接法。这个用法适用于如下的场景：

- a. EasylogicECO 无法完成上下链的要求 (scan chain stitching failed)
- b. 时延超标 (Timing issue)
- c. 布局布线过于拥挤 (P&R congestion issue)

以下的例子中 (图 4)，原始的扫描链次序为

xxx/Q → b_reg3 → yyy/SI

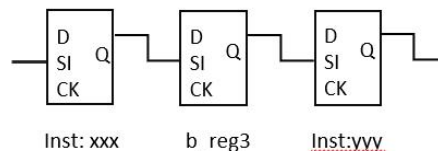


图 4: 原始扫描链

使用者在确定一个适当的 Sdff 位置后 (如 b_reg3)，可指定将新的 Sdff 拼接在该位置，并使用以下命令宣告 chain member 的接法

```
insert_reg_into_scan_chain mid_inst/ez_reg[1] b_reg[3]
insert_reg_into_scan_chain mid_inst/ez_reg[0] mid_inst/ez_reg[1]
insert_reg_into_scan_chain mid_inst/ez_reg[2] mid_inst/ez_reg[0]
```

需注意的是，insert_reg_into_scan_chain 是有顺序性的，必须由后方 member(b_reg3)先宣告完，才能接着往前方 member(ez_reg2)宣告。最终的链序列是

xxx/Q → ez_reg2 → ez_reg0 → ez_reg1 → b_reg3 → yyy/SI (图 5)

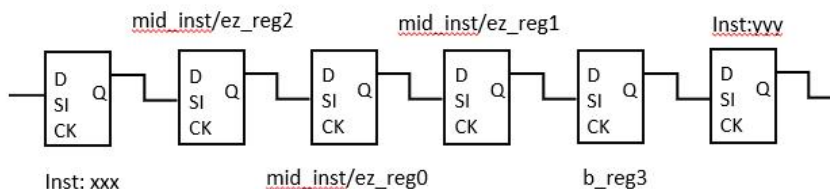


图 5: 手动缝合链条

(4) 排除被拼接进扫描链的寄存器

手动排除已经被上链了的 Sdff 是一个附加功能，赋予使用者在遵守公司特定的 DFT 设计规范上更大的自由度。

使用者可以宣告保留或排除一个指定的寄存器。这个用法适用于如下的场景：

- a. 时延超标 (Timing issue)
- b. 布局布线过于拥挤 (P&R congestion issue)
- c. 自定义的特殊扫描链功能 (User-defined special scan chain function)
- d. 时钟产生线路 (Clock generating circuit).

可使用如下命令防止特定寄存器被拼接进原始扫描链：

```
exclude_add_sdff mid_inst/ez_reg[1]
```

并可使用以下命令防止从原始扫描链中删除特定的寄存器：

```
exclude_remove_sdff redundant_occ/shift_reg
```

总结

在 EasylogicECO 的自动化流程下，修改 DFT 的工作变得简单。 EasylogicECO 的 DFT 效益包括：

- 自动上下链，免除人工追踪扫描链的困扰，即使大量 Sdff 的上下链也没有困难。
- 提供多样性的控制功能，使用者可以更灵活的达成 DFT 相关设计要求。
- 显著缩短每一次功能性 ECO 所需要的时间，逻辑功能设计加上 DFT 也是一次作业运行就可解决。

版权声明和专有信息

奇捷科技(深圳)有限公司版权所有 ©2020-2023。 Easylogic 产品名称是奇捷科技的商标。 Easylogic 产品和所有相关文档均为奇捷科技所有，未经书面同意，严禁复制、修改或分发 Easylogic 产品或相关文档。